

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日                      2003年 2月27日  
Date of Application:

出願番号                      特願2003-050643  
Application Number:  
[ST. 10/C]:                      [JP2003-050643]

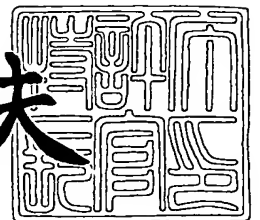
出願人                      ローム株式会社  
Applicant(s):



2003年10月30日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号    出証特2003-3090131

【書類名】 特許願

【整理番号】 PR300010

【提出日】 平成15年 2月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 17/00  
H03K 17/24  
H01L 21/00  
H01L 27/00

【発明の名称】 半導体集積回路装置

【請求項の数】 4

【発明者】  
【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内  
【氏名】 西川 信広

【発明者】  
【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内  
【氏名】 井上 晃一

【特許出願人】  
【識別番号】 000116024  
【氏名又は名称】 ローム株式会社

【代理人】  
【識別番号】 100085501  
【弁理士】  
【氏名又は名称】 佐野 静夫

【手数料の表示】  
【予納台帳番号】 024969  
【納付金額】 21,000円

【提出物件の目録】  
【物件名】 明細書 1  
【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0113515

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 第 1 バックゲート及び第 1 導電領域及び第 2 導電領域を備え、該第 1 バックゲート領域と該第 1 導電領域が接続された第 1 MOS トランジスタを備える半導体集積回路装置において、

前記第 1 MOS トランジスタの前記第 1 バックゲート領域と前記第 1 導電領域に第 2 バックゲート領域及び第 3 導電領域が接続されるとともに第 4 導電領域に第 1 直流電圧が印加される第 2 MOS トランジスタと、

該第 2 MOS トランジスタのゲートに供給する第 2 直流電圧を設定する電圧設定回路と、

前記第 1 直流電圧より生成される第 3 直流電圧が印加されるとともに、前記電圧設定回路に接続して前記電圧設定回路における逆流を阻止する逆流防止素子と

を備え、

前記電圧設定回路において、前記第 1 直流電圧に応じて前記第 2 MOS トランジスタの耐圧範囲内となる前記第 2 直流電圧を生成することを特徴とする半導体集積回路装置。

【請求項 2】 前記第 1 MOS トランジスタ及び前記第 2 MOS トランジスタが同一極性であることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 3】 前記逆流防止素子がダイオードであることを特徴とする請求項 1 又は請求項 2 に記載の半導体集積回路装置。

【請求項 4】 前記電圧設定回路が分圧抵抗により構成されることを特徴とする請求項 1 ～請求項 3 のいずれかに記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、MOS トランジスタを使用する半導体集積回路装置に関するもので、特に、MOS トランジスタにおける逆流電流の発生を防ぐための構成を備えた

半導体集積回路装置に関する。

【0002】

【従来の技術】

半導体集積回路装置において、図4（a）のようにP型拡散層12とバックゲートに電源電圧 $V_{dd}$ が印加されたPチャネルのMOSトランジスタM1が設けられるものがある。このMOSトランジスタM1は、図4（b）のように、P型拡散層11、12と、N型拡散層14によるバックゲートと、N型ウェル層10の表面に絶縁膜13を介して設けられるゲートとを備え、P型拡散層11とN型ウェル層10及びバックゲートのN型拡散層14とによってPN接合の寄生ダイオード $D_x$ が構成される。

【0003】

よって、MOSトランジスタM1に逆バイアスがかかったとき、P型拡散層11から寄生ダイオード $D_x$ を介してP型拡散層12及びバックゲートとなるN型拡散層14に逆流電流が流れる。このような逆流電流の発生を防ぐために、図4（c）のように、MOSトランジスタM1のP型拡散層12及びバックゲートと電源電圧 $V_{dd}$ との間にアノードに電源電圧 $V_{dd}$ が印加されたダイオード $D_a$ を設けることがある。しかしながら、このように逆流防止用にダイオード $D_a$ を設けた場合、このダイオード $D_a$ による電圧損失が生じるという問題がある。

【0004】

このような逆流防止用のダイオードのように電圧損失を生じることなく、逆流電流を防ぐことができる出力段回路が、従来技術として提案されている（特許文献1参照）。この特許文献1における出力段回路は、PチャネルのMOSトランジスタのソース及びバックゲートと電源電圧との間にスイッチを設け、電源電圧監視回路で電源電圧低下を確認するとスイッチをOFFとすることで、逆流を防ぐ構成としている。

【0005】

【特許文献1】

特開平10-341141号公報

【0006】

**【発明が解決しようとする課題】**

しかしながら、特許文献1による逆流防止用に設けられた電源電圧監視回路は、インバータ又はNANDゲートによって構成され、通常動作を行うときは、スイッチとなるPチャネルのMOSトランジスタのゲートに電源電圧監視回路より接地電圧が印加されることでONとしている。このように、スイッチとなるPチャネルのMOSトランジスタのゲートに接地電圧が印加された状態で使用されるため、このスイッチとなるPチャネルのMOSトランジスタにおける耐圧破壊を招きやすい構成となっている。よって、このような耐圧破壊を防ぐためには、耐圧電圧を超えないように、電源電圧V<sub>dd</sub>を設定する必要がある、その使用範囲が制限されてしまう。

**【0007】**

このような問題を鑑みて、本発明は、電源電圧の使用範囲を拡げて、MOSトランジスタの耐圧破壊を防ぐことが可能な半導体集積回路装置を提供することを目的とする。

**【0008】****【課題を解決するための手段】**

上記目的を達成するために、請求項1に記載の半導体集積回路装置は、第1バックゲート及び第1導電領域及び第2導電領域を備え、該第1バックゲート領域と該第1導電領域が接続された第1MOSトランジスタを備える半導体集積回路装置において、前記第1MOSトランジスタの前記第1バックゲート領域と前記第1導電領域に第2バックゲート領域及び第3導電領域が接続されるとともに第4導電領域に第1直流電圧が印加される第2MOSトランジスタと、該第2MOSトランジスタのゲートに供給する第2直流電圧を設定する電圧設定回路と、前記第1直流電圧より生成される第3直流電圧が印加されるとともに、前記電圧設定回路に接続して前記電圧設定回路における逆流を阻止する逆流防止素子と、を備え、前記電圧設定回路において、前記第1直流電圧に応じて前記第2MOSトランジスタの耐圧範囲内となる前記第2直流電圧を生成することを特徴とする。

**【0009】**

この構成によると、逆バイアス印加時には、前記逆流防止素子により前記電圧

設定回路に逆流電流が流れることが阻止されて、前記電圧設定回路より前記第2 MOSトランジスタの駆動範囲の電圧が出力されず、前記第2 MOSトランジスタがOFFとなる。又、前記第2 直流電圧が前記第2 MOSトランジスタの耐圧範囲内となるように調整されるため、前記第2 直流電圧が前記第2 MOSトランジスタに印加される電圧に応じた電圧とされて、前記第2 MOSトランジスタの耐圧破壊を防ぐことができる。

#### 【0010】

請求項2に記載するように、前記第1 MOSトランジスタ及び前記第2 MOSトランジスタを同一極性のトランジスタとし、第2 MOSトランジスタ内に構成される寄生ダイオードによって、第1 MOSトランジスタに構成される寄生ダイオードによる逆流電流の発生を防ぐことができる。

#### 【0011】

又、請求項3に記載するように、前記逆流防止素子がダイオードであり、当該ダイオードが逆バイアス時に電流が流れないように接続される。更に、請求項4に記載するように、前記電圧設定回路が分圧抵抗により構成され、当該分圧抵抗の抵抗値が調整されることによって、前記分圧抵抗により発生する分圧電圧が前記第2 直流電圧として前記第2 MOSトランジスタのゲートに出力される。

#### 【0012】

このような半導体集積回路装置において、前記第1 MOSトランジスタ及び前記第2 MOSトランジスタを、耐圧を通常よりも広くしたMOS構造としても構わない。又、前記第1 MOSトランジスタ及び前記第2 MOSトランジスタを、PチャネルのMOSトランジスタとしても構わない。

#### 【0013】

又、本発明の半導体集積回路装置は、バックゲートと第1 P型拡散層が接続されたPチャネルの第1 MOSトランジスタを備える半導体集積回路装置において、前記第1 MOSトランジスタのバックゲートと第1 P型拡散層にバックゲート及び第3 P型拡散層が接続されるとともに第4 P型拡散層に第1 直流電圧が印加されるPチャネルの第2 MOSトランジスタと、一端が接地されるとともにその分圧電圧を前記第2 MOSトランジスタのゲートに第2 直流電圧として供給する

分圧抵抗回路と、前記第 1 直流電圧より生成される第 3 直流電圧がアノードに印加されるとともにカソードが前記分圧抵抗回路の他端に接続されるダイオードと、を備え、前記分圧抵抗回路からの前記第 2 直流電圧を、前記第 1 直流電圧に応じて前記第 2 MOS トランジスタの耐圧範囲内とすることを特徴とする。

#### 【0014】

#### 【発明の実施の形態】

本発明の実施形態を、図面を参照して以下に説明する。図 1 は、本実施形態の半導体集積回路装置の内部構成を示す回路ブロック図である。

#### 【0015】

図 1 の半導体集積回路装置は、DMOS 構造の P チャネルの MOS トランジスタ M1 と、MOS トランジスタ M1 のゲートに出力端子が接続されたオペアンプ A と、MOS トランジスタ M1 の導電端子 7 x 及びバックゲートに導電端子 7 y 及びバックゲートが接続された MOS トランジスタ M2 と、MOS トランジスタ M2 のゲートに所定の電圧  $V_x$  を印加する電圧設定回路 1 と、電圧設定回路 1 からの逆流電流を防ぐための逆流防止用素子 2 と、を備え、MOS トランジスタ M1 の導電端子 6 x に現れる電圧を出力電圧として外部の負荷に供給する。

#### 【0016】

又、逆流防止用素子 2 に電源電圧  $V_{dd}$  が供給されるとともに、MOS トランジスタ M2 の導電端子 6 y に電源電圧  $V_{dd}$  が供給され、オペアンプ A の非反転入力端子には MOS トランジスタ M1 の導電端子 6 x が接続されるとともに反転入力端子に電圧  $V_{ref}$  が印加される。又、MOS トランジスタ M1 において、導電端子 6 x からバックゲートに対して寄生ダイオード  $D_{x1}$  が構成されるとともに、MOS トランジスタ M2 において、導電端子 6 y からバックゲートに対して寄生ダイオード  $D_{x2}$  が構成される。この寄生ダイオード  $D_{x1}$ 、 $D_{x2}$  のカソード同士が接続された状態となる。

#### 【0017】

このような半導体集積回路装置において、図 2 のように、逆流防止用素子 2 をアノードに電源電圧  $V_{dd}$  が印加されたダイオード D1 で構成するとともに、電圧設定回路 1 を分圧抵抗 R1、R2 で構成する。このとき、電圧設定回路 1 にお



いて、抵抗  $R_1$  の一端が接地されるとともに、抵抗  $R_2$  の一端がダイオード  $D_1$  のカソードに接続され、抵抗  $R_1$ 、 $R_2$  の接続ノードが MOS トランジスタ  $M_2$  のゲートに接続される。

#### 【0018】

又、MOS トランジスタ  $M_1$ 、 $M_2$  はそれぞれ、図 3 の模式的な断面図に示されるような DMOS 構造の MOS トランジスタである。即ち、MOS トランジスタ  $M_1$  が、P 型の半導体基板 4 上に形成された N 型ウェル層 5 に構成される P 型拡散層 6 a (図 1 及び図 2 の導電端子 6 x に相当する) と、同様に N 型ウェル層 5 に構成される P 型拡散層 7 a、7 b (図 1 及び図 2 の導電端子 7 x に相当する) とを備え、P 型拡散層 6 a、7 a の間の N 型ウェル層 5 表面を覆うように形成された絶縁膜 8 を介してゲートが形成される。又、P 型拡散層 7 a、7 b に挟まれた部分に形成される N 型拡散層 9 a にバックゲートが形成され、P 型拡散層 7 a、7 b と電氣的に接続される。このように構成されるとき、P 型拡散層 7 a、7 b は同一層であり、バックゲートとなる N 型拡散層 9 a を囲むように形成される。

#### 【0019】

又、MOS トランジスタ  $M_2$  が、N 型ウェル層 5 に構成される P 型拡散層 6 b (図 1 及び図 2 の導電端子 6 y に相当する) 及び P 型拡散層 7 c、7 d (図 1 及び図 2 の導電端子 7 y に相当する) とを備え、P 型拡散層 6 b、7 c の間の N 型ウェル層 5 表面を覆うように形成された絶縁膜 8 を介してゲートが形成される。又、P 型拡散層 7 c、7 d に挟まれた部分に形成される N 型拡散層 9 b にバックゲートが形成され、P 型拡散層 7 c、7 d と電氣的に接続される。このように構成されるとき、P 型拡散層 7 c、7 d は同一層であり、バックゲートとなる N 型拡散層 9 b を囲むように形成される。

#### 【0020】

このように構成される半導体集積回路装置が通常動作を行っているとき、MOS トランジスタ  $M_2$  のゲートに電圧設定回路 1 から電圧  $V_x$  が印加されて MOS トランジスタ  $M_2$  が ON とされる。このとき、電圧設定回路 1 では、抵抗  $R_1$ 、 $R_2$  の値を調整することにより、その分圧電圧となる電圧  $V_x$  が、電源電圧  $V_d$

dとの電圧差がMOSトランジスタM2のゲート及び導電端子7y間の閾値電圧 $V_{th}$ より大きい値で、MOSトランジスタM2の耐圧破壊電圧 $V_B$ より低い値となるように調整される。即ち、分圧電圧 $V_x$ は、 $0 \leq V_x < V_{dd} - V_{th}$ 及び $V_{dd} - V_x < V_B$ の関係を満たす値とする。

#### 【0021】

このように、MOSトランジスタM2がONすると、MOSトランジスタM1の導電端子7x及びバックゲートには、電源電圧 $V_{dd}$ からMOSトランジスタM2のON抵抗により電圧降下した分の電圧が印加される。又、MOSトランジスタM1がオペアンプAにより制御されて、MOSトランジスタM1の導電端子6xに現れる電圧を出力電圧として出力する。又、オペアンプAでは、MOSトランジスタM1の導電端子6xに現れる電圧を基準電圧 $V_{ref}$ と比較することで、一定となるようにMOSトランジスタM1のゲート電圧を制御する。

#### 【0022】

このとき、MOSトランジスタM2のON抵抗は、 $0.1[\Omega]$ より低い値にしておけば、MOSトランジスタM2に5[A]のような大きな電流が流れても、その電圧降下が $0.5[V]$ であり、図4(a)におけるダイオードD<sub>a</sub>による電圧降下 $0.7[V]$ よりも低い値とすることができる。

#### 【0023】

又、このような半導体集積回路装置に誤って逆バイアスが印加され、電源電圧 $V_{dd}$ が接地電圧より低くなったとしても、まず、逆流防止素子2であるダイオードD<sub>1</sub>により電流が流れないため、電圧設定回路1に接地電圧側から電流が流れ込むことが防がれる。よって、抵抗 $R_1$ 、 $R_2$ の接続ノードには接地電圧が現れて、この接地電圧が電圧設定回路1からの出力電圧 $V_x$ として、MOSトランジスタM2のゲートに与えられる。

#### 【0024】

このとき、MOSトランジスタM2の導電端子6yにも逆バイアスのため接地電圧より低い電圧となる電源電圧 $V_{dd}$ が印加されることとなる。そのため、MOSトランジスタM1、M2はOFFのままとなる。このとき、MOSトランジスタM1に寄生ダイオードD<sub>x1</sub>が構成されているが、MOSトランジスタM2

に構成される寄生ダイオードD x 2によりMOSトランジスタM2の導電端子7 y及びバックゲートから導電端子6 yへ流れ込むことが防がれている。よって、寄生ダイオードD x 1を流れる逆流電流が防がれる。

#### 【0025】

このように構成することによって、MOSトランジスタM2を動作させるとき、MOSトランジスタM2の導電端子6 yに印加する電源電圧の電圧値に応じて、MOSトランジスタM2が耐圧破壊されないような電圧がゲートに印加されるように、電圧設定回路1で調整することができる。即ち、MOSトランジスタM2の導電端子6 yに印加する電源電圧が高くなるときは、MOSトランジスタM2のゲートに与える電圧が高くなるように、又、MOSトランジスタM2の導電端子6 yに印加する電源電圧が低くなるときは、MOSトランジスタM2のゲートに与える電圧も低くなるように、電圧設定回路1で調整される。

#### 【0026】

尚、本実施形態では、逆流防止素子2に印加する電圧とMOSトランジスタM2の導電端子6 yに印加する電圧値を同一の電圧値V d dとしたが、同じ電源電圧である必要はなく、逆流防止素子2に印加する電圧とMOSトランジスタM2の導電端子6 yに印加する電圧を異なる電圧値としても構わない。このとき、同一の電源電圧V d dが供給されるとともに、電圧V d d 1, V d d 2に変圧して逆流防止素子2のアノード側及びMOSトランジスタM2の導電端子6 yそれぞれに供給するレギュレータを設けるようにしても構わない。又、逆流防止素子2として、複数のダイオード、又は、ダイオード接続されたトランジスタにより構成しても構わない。

#### 【0027】

##### 【発明の効果】

本発明によると、第2MOSトランジスタによって構成される寄生ダイオードによって逆バイアス印加時に第1MOSトランジスタによって構成される寄生ダイオードによる逆流電流を防ぐことができる。又、逆バイアス印加時に逆流電流防止素子により電圧設定回路における逆流電流を防止することができるので、第2MOSトランジスタをOFFとして、半導体集積回路装置の動作に逆流電流が

流れ込むことを防ぐことができる。更に、電圧設定回路で第 2 MOS トランジスタの耐圧範囲内の第 2 直流電圧を第 2 MOS トランジスタに与えるため、第 1 及び第 2 MOS トランジスタの耐圧破壊を防ぐことができる。又、この第 2 直流電圧が電源電圧により調整することが可能なため、電源電圧の高低にかかわらず、第 1 及び第 2 MOS トランジスタの耐圧破壊を防ぐことができる。

【図面の簡単な説明】

【図 1】 本発明の半導体集積回路装置の構成を示すブロック回路図。

【図 2】 図 1 の詳細な回路構成例を示す回路図。

【図 3】 DMOS 構造の MOS トランジスタの構成を示す断面図。

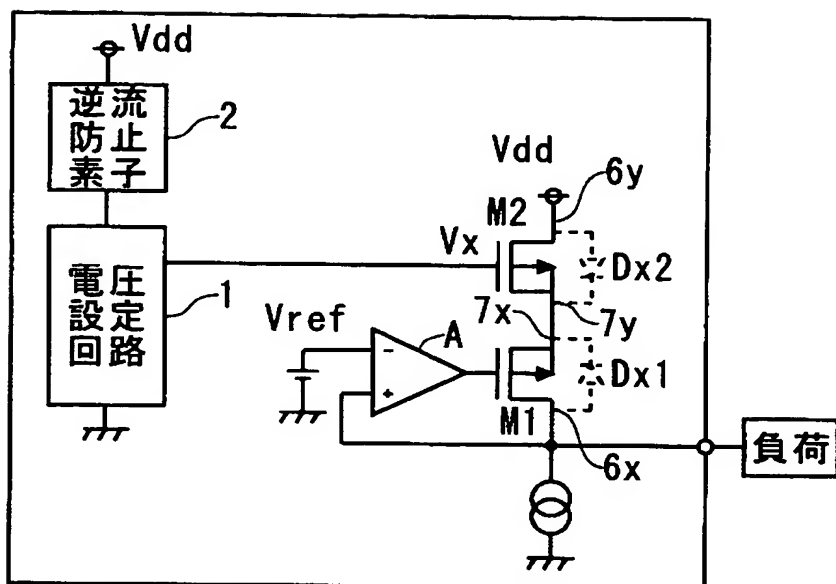
【図 4】 従来の半導体集積回路装置の構成を示す図。

【符号の説明】

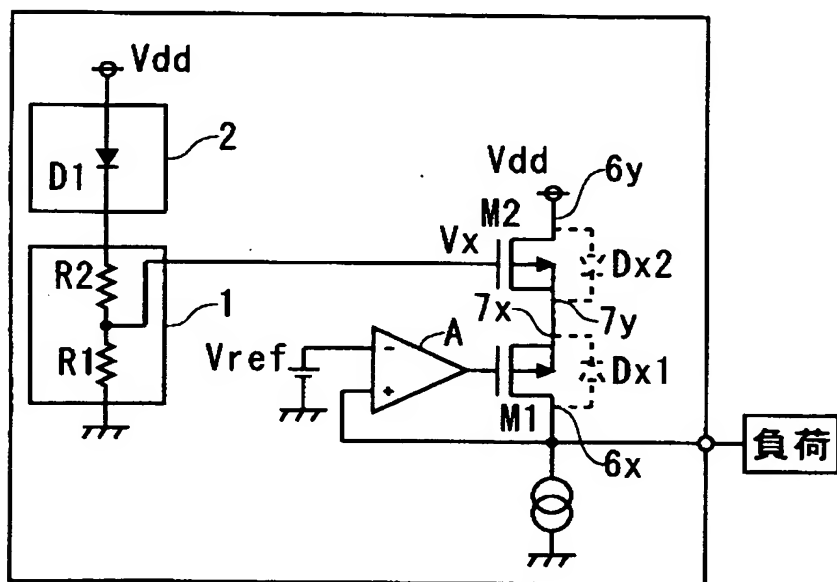
- 1      電圧設定回路
- 2      逆流防止素子

【書類名】 図面

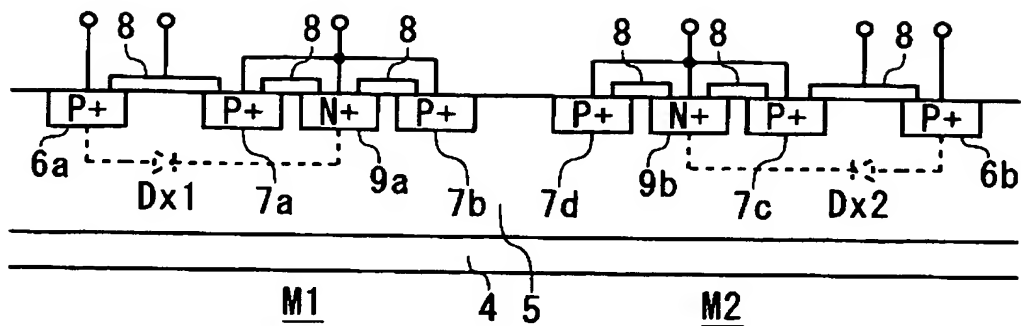
【図 1】



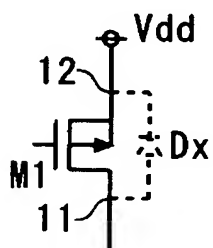
【図 2】



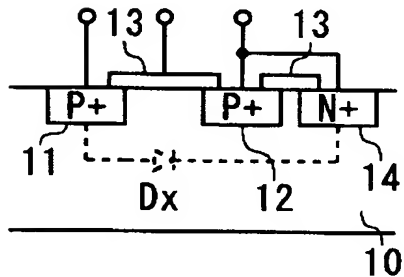
【図3】



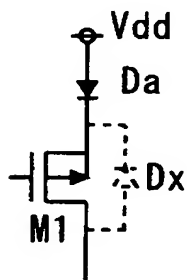
【図4】



(a)



(b)



(c)

【書類名】 要約書

【要約】

【課題】 本発明は、電源電圧の使用範囲を拡げても、MOSトランジスタの耐圧破壊を防ぐことが可能な半導体集積回路装置を提供することを目的とする。

【解決手段】 MOSトランジスタM1の寄生ダイオードD<sub>x1</sub>による逆流電流を防ぐための寄生ダイオードD<sub>x2</sub>を備えたMOSトランジスタM2を備えるとともに、逆バイアス印加時にMOSトランジスタM2をOFFする電圧設定回路1と、逆バイアス時に電圧設定回路1に逆流電流が流れることを防ぐ逆流防止素子2とを備える。又、通常動作時には、MOSトランジスタM2の導電端子6<sub>y</sub>に印加する電圧に応じてMOSトランジスタM2の耐圧範囲内となる直流電圧をゲートに供給する。

【選択図】 図1

特願 2003-050643

出 願 人 履 歷 情 報

識別番号

[000116024]

1. 変更年月日

1990年 8月22日

[変更理由]

新規登録

住 所

京都府京都市右京区西院溝崎町21番地

氏 名

ローム株式会社